

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-042488
 (43)Date of publication of application : 08.02.2002

(51)Int.CI. G11C 29/00
 G06F 12/16

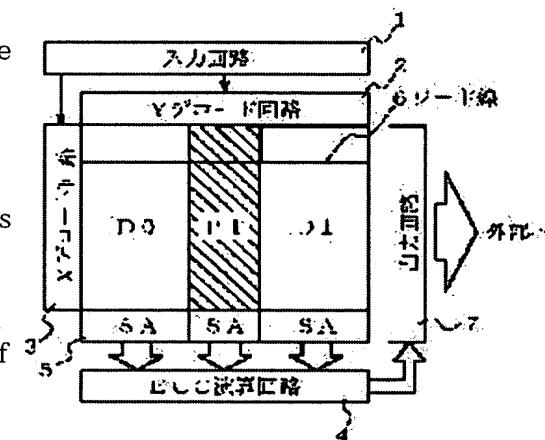
(21)Application number : 2000-227685 (71)Applicant : NEC MICROSYSTEMS LTD
 (22)Date of filing : 27.07.2000 (72)Inventor : YAMAMOTO KOJI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To solve such a problem that, when an ECC cell is arranged at a word line remote end part in a semiconductor memory, measurements cannot be easily performed from the outside although the ECC cell measurement is required for analyzing the cause of a defective speed.

SOLUTION: An ECC cell P1 is arranged at the central part of a cell array other than the remote end part of a word line 6 of a X decoding circuit 3. When an address is inputted from an input circuit 1, an arbitrary word line and a digit line are selected by the X decoding circuit 3 and a Y decoding circuit 2. A memory cell is constituted of cells D0, D1, and an ECC cell P1, and the cell data of the intersections of a selected single word line 6 and a plurality of digit lines. The cell data are sent from each sense amplifier 5 to an ECC operation circuit 4 and parity check is performed. Thereby, the data are corrected to a correct expected value within the defect of the cell data of 1 bit per 1 word line.



LEGAL STATUS

[Date of request for examination] 19.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3595495

[Date of registration] 10.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-42488

(P2002-42488A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.*

G 11 C 29/00
G 06 F 12/16

識別番号

6 3 1
3 3 0

F 1

G 11 C 29/00
G 06 F 12/16

マークコード (参考)

6 3 1 Z 5 B 0 1 8
3 3 0 A 5 L 1 0 6

審査請求 有 請求項の数 6 OL (全 4 頁)

(21) 出願番号

特願2000-227685 (P2000-227685)

(22) 出願日

平成12年7月27日 (2000.7.27)

(71) 出願人

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者

山元 浩司
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74) 代理人

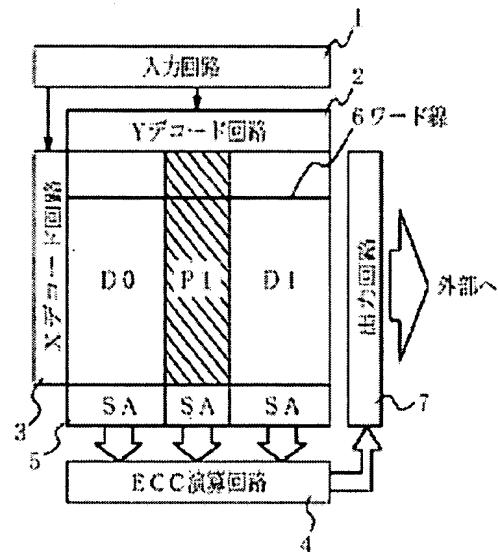
100082935
弁理士 京本 直樹 (外2名)
F ターム (参考) 5B018 GA03 HA14 HA33 NA04 QA13
5L106 BB12 EE05 CG03 GG06

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】 (修正有)

【課題】 半導体記憶装置において ECC セルをワード線端部に配置した場合、スピード不良の原因解析の為、ECC セルを測定したいが、外部から容易に測定できない。

【解決手段】 ECC セル P 1 を、X デコード回路 3 に対して、ワード線 6 の端部以外のセルアレイの中央部に配置する。入力回路 1 よりアドレスが入力されると X デコード回路 3 と Y デコード回路 2 により任意のワード線とディジット線が選択される。メモリセルは本セル D 0、D 1 と ECC セル P 1 で構成され、選択された 1 本のワード線 6 と複数のディジット線の交点のセルデータが送出される。セルデータは各センサアンプ 5 より ECC 演算回路 4 に送られバリティチェックを受ける。これにより、通常 1 ワード線あたり 1 ビットの本セルデータの不良までなら、正しい期待値に訂正される。



【特許請求の範囲】

【請求項 1】 メモリセルアレイの中央にECCセルを配置するECC方式の救済回路を有する半導体記憶装置。

【請求項 2】 ×デコーダの近端部にECCセルを配置するECC方式の救済回路を有する半導体記憶装置。

【請求項 3】 ×デコーダの遠端部以外にECCセルを配置するECC方式の救済回路を有する半導体記憶装置。

【請求項 4】 前記ECCセルは、RAMセルで構成されることを特徴とする請求項 1、2記載の半導体記憶装置。

【請求項 5】 前記ECCセルは、ROMセルで構成されることを特徴とする請求項 1、2記載の半導体記憶装置。

【請求項 6】 テスト信号を入力することにより読み出力データがECC回路をバスすることを特徴とする請求項 1乃至5の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特にECC方式の救済回路の配置に関する。

【0002】

【従来の技術】従来、半導体記憶装置の大容量化に伴い、メモリセルの不良を救済する救済回路の接続は不可欠なものになってきている。救済回路には代表的なものに、リダンダンシーセル方式とECCセル方式がある。リダンダンシーセル方式は本セルと予備のメモリセルを持ち、本セルに不良があった場合、デジット線もしくはワード線単位で不良メモリセルを予備のセルに切換え、予備セルで不良メモリセルのデータを読み書きできるようになっている。この救済方式は、セルデータを半導体記憶装置製造後に書き込むことが可能なRAM方式のメモリセルが用いられる。

【0003】これに対してECCセル方式の救済方法は、本セルとパリティセルを持っている。救済方法は、ECC演算により本セルとECCセルの出力データのORが必ず1（奇数パリティ）もしくは0（偶数パリティ）になる様にパリティセルの値で調整しておき、ECC演算の結果がそれ以外になった場合、ECC演算回路で間違った出力データを誤り訂正し出力する。この救済方法は、半導体記憶装置の製造時にセルにデータを書き込まれる読み出し専用メモリで用いられる。

【0004】これら救済方式の内、リダンダンシーセル方式はRAM、ECCセル方式はROMでよく用いられる。これは、RAM関係でECC方式の救済回路を使用した場合、RAMは使用状況によって本セルに書き込まれるデータの中身が変わるのでパリティセルの中身をそれに応じて変える為に演算回路が必要になり、回路規模が非常に大きくなる。逆にROMでリダンダンシーセル

方式の救済を使おうとした場合、ROMではチップの製造過程でセルデータを書き込む為、切換用のリダンダンシーセルは本セルと同等の物が最低でも2倍以上必要になりチップサイズが大きくなる。

【0005】これらの救済方式で、本発明のようにECC方式の救済回路を使い救済を行う場合、ECCセルをワード線遠端部に配置する従来のセル構成ではセル読み出しスピードワーストを外部から測定できないという問題がある。

【0006】その理由は、まずECCセル方式の救済方法を使用するROM等は短い周期での製品開発を実現する為、異なる容量の製品を開発する際に、例えば128M←64M→32Mのようにセルのアレイ構成は変えずにアレイ数を変更し、周辺の回路を全て流用することで開発期間の短縮を実現している。この時、メモリ容量の少ない製品ではECCセル方式の救済が必要ない為、チップ面積に対して、救済回路関係のセル及び回路の面積割合が大きくなる為、ウエハー有効ベレット率と救済率を考慮すると、ECCセル方式の救済を入れない方が歩留まりが上がる。不必要な場合は容易に取り外しが可能になるようにメモリセルの最外部にECCセルを配置していた。しかし、現在の製品のメモリ容量は、以前に比べ大容量になってきている為、救済回路は不可欠になっている。その為、ECCセルをメモリセル最外部に配置する必要性は薄ってきた。

【0007】つぎに、セルの読み出しスピードは、本セルとECCセルのデータをECC演算回路でチェックしている為、どちらか遅い方のスピードによって決定される。

【0008】さらに、ワード線の遠端部は×デコード近傍側に比べ立ち上がりが遅くなる為、セルの読み出しスピードが遅い。これは通常、ワード線が選択され、本セル部、ECCセル部のセルが選択される時、セルが選択されるまでの時間は、選択されたセルが×デコードより遅くなるほど遅くなる。その為、選択されたセルA（ECCセル）はセルB、C（本セル）比べ、選択され、ECC演算回路に送られるまでの時間が遅くなる。この為、セルデータの出力時間はセルA（ECCセル）の出力時間で決定される。（図3参照）また、外部より本セル、ECCセルのセル読み出しスピード調べようとした場合、本セルはECC救済を解除することで調べることができる。しかし、ECCセルのセル読み出しスピードはECCセルのデータのみを出力することは通常できない為、調べることができない。なお、ECCセルのデータは本セルデータ内容によって決まる演算結果であり、外部から容易に特定できない。

【0009】また、他にも図4のようにECCセル部P1を本セル部と完全に切り離し、別に動作させるという方法もある。しかしこれはセル選択の際、本セルとECCセルを選択するのに2倍のワード線と×デコード等が

必要となり、それに伴う回路規模の増大となる。

【0010】最後に、図5のように、本セルのデータは、ECC救済を解除すれば本セル読み出しスピードを外部から測定できるが、ECCセルのデータは、ECC演算のみに使用され外部に出力されない為、外部から測定できない。また、あらかじめ、外部に出力する為の回路を組み込んでおけば、回路規模が大きくなる。

【0011】以上の理由により、ECCセルをワード線遠端部に配置した場合、スピード不良の原因解析の為、ECCセルを測定したいが、外部から容易に測定できないという問題が起こる。

【0012】

【発明が解決しようとする課題】上述した従来の半導体記憶装置においては、ECCセルをワード線遠端部に配置した場合、スピード不良の原因解析の為、ECCセルを測定したいが、外部から容易に測定できないという欠点がある。

【0013】したがって、本発明の目的は、ECC方式の救済回路を持つ半導体記憶装置において、ECCセルをメモリセルのワード線遠端部以外に配置することにより、セル読み出しスピードのワーストを外部から測定できるようにすることにある。

【0014】

【課題を解決するための手段】本発明の半導体記憶装置は、メモリセルアレイの中央にECCセルを配置するECC方式の救済回路を有することを特徴とする。また、 \times デコーダの近端部にECCセルを配置するECC方式の救済回路を有する。また、 \times デコーダの遠端部以外にECCセルを配置するECC方式の救済回路を有することを持続とする。

【0015】

【発明の実施の形態】次に、本発明について図面を参考して説明する。図1は本発明の第1の実施形態の構成を示すレイアウト図である。図1に示されるように、本実施形態は、入力回路1よりアドレスが入力されると \times デコード回路3と \times デコード回路2より任意のワード線とデジット線が選択される。メモリセルは本セルD0、D1とECCセルP1で構成され、選択された1本のワード線6と複数のデジット線の交点のセルデータが出力される。セルデータは各センスアンプ5よりECC演算回路4に送られバリティチェックを受ける。これにより、通常1ワード線あたり1ビットの本セルデータの不良までなら、正しい期待値に訂正される。その後、出力回路7に送られ、外部に出力される。

【0016】発明の形態ではECCセルP1の配置場所は、図1、では \times デコード回路3に対してワード線6の遠端部以外のセルアレイの中央部に配置し、あるいは図2ではセルアレイの辺端部に配置している、すなわち \times

デコード回路側に配置される。このECCセルの配置場所をメモリセルの中央と限定した場合、発明の実形態に述べた効果の他に、欠陥救済の向上による製品歩留まりの向上も見込まれる。これは、メモリセルの中央部はその辺端部に比べプロセスマージンが大きくそのセルが不良となる確立が辺端部に比べ低い為、たとえ本セルに不良が増えたとしてもそれを救済できる割合が増える為である。

【0017】不具合を回避する為、本発明ではECCセルP1を図1、または、図2のようにセル読み出しスピードのワーストとなり得ない場所、即ち、 \times デコード回路に対してもワード線遠端部以外、に配置した。これによりセル読み出しスピードのワーストとなる場所に本セルD1が配置され、この場所のセル読み出しスピードが外部から測定できる。

【0018】また、効果確認のため読み出しデータがECC回路をバスできる構成をとってもよい。

【0019】

【発明の効果】以上説明したように、本発明は、図1を例にして説明するとECCセルP1をメモリセル中央、即ち本セルD0、本セルD1の間に配置することにある。または、図2のようにECCセルP1を \times デコード回路と本セルD0、D1の間に配置しても良い。これらの配置法によりECCセルP1がセル読み出しスピードのワーストとなることを防ぎ、セル読み出しスピードのワーストが外部から測定できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の構成を示すレイアウト図である。

【図2】本発明の第2の実施形態の構成を示すレイアウト図である。

【図3】従来の1実施形態におけるレイアウト図である。

【図4】従来の1実施形態の構成を示すレイアウト図である。

【図5】従来のECC演算回路の構成を示すブロック図である。

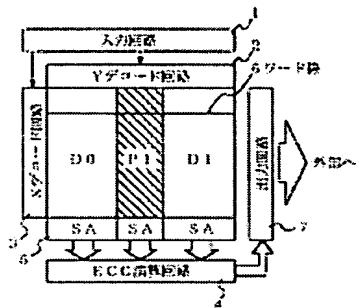
【符号の説明】

1	入力回路
2	\times デコード回路
3	\times デコード回路
4	ECC演算回路
5	センスアンプ
6	ワード線
7	出力回路

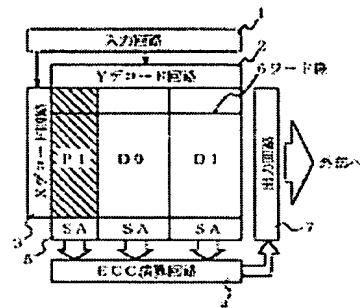
D0, D1 本セル
P1 ECCセル

BEST AVAILABLE COPY

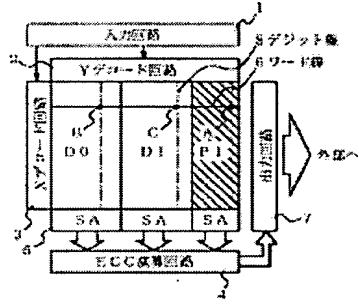
[図 1]



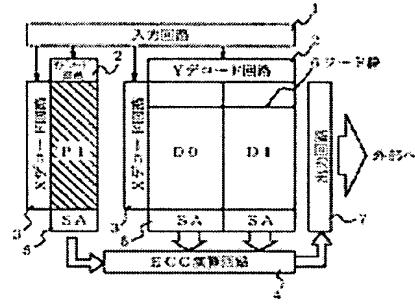
[図 2]



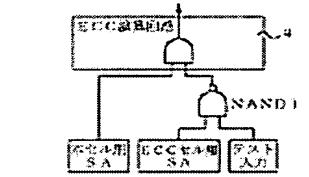
[図 3]



[図 4]



[図 5]



ECC控制器
1番ストラップはVCC--NAND 1番ECCモルデータに接続
ECCモルデータ
2番ストラップはGND--NAND 1番ECCモルデータに接続